

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-189098

(43)Date of publication of application : 10.07.2001

(51)Int.Cl.

G11C 29/00
G11C 11/409
G11C 11/401
H01L 27/10

(21)Application number : 2000-000010

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 04.01.2000

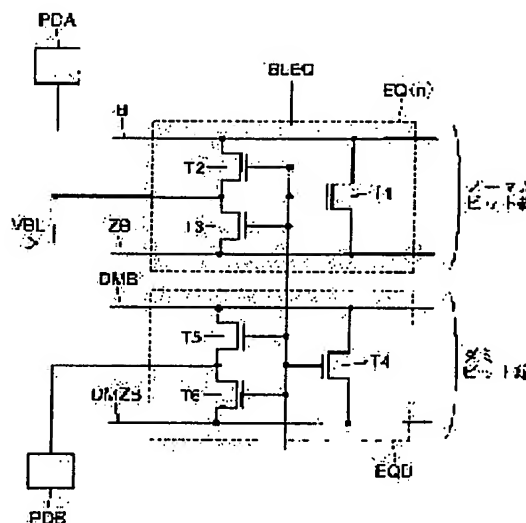
(72)Inventor : HAGURA TSUKASA

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which defect in a dummy bit line region can be detected effectively at a wafer test.

SOLUTION: A potential being higher than that of a normal bit line can be applied to a dummy bit line by providing a pad applying a potential to a normal bit line and a pad applying a potential to a dummy bit line. Thereby, defect in a dummy bit line region can be detected effectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-189098

(P2001-189098A)

(43) 公開日 平成13年7月10日 (2001.7.10)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 F 5 B 0 2 4
11/409		H 0 1 L 27/10	4 7 1 5 F 0 8 3
11/401		G 1 1 C 11/34	3 5 3 F 5 L 1 0 6
H 0 1 L 27/10	4 7 1		3 7 1 A

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願2000-10(P2000-10)
 (22) 出願日 平成12年1月4日 (2000.1.4)

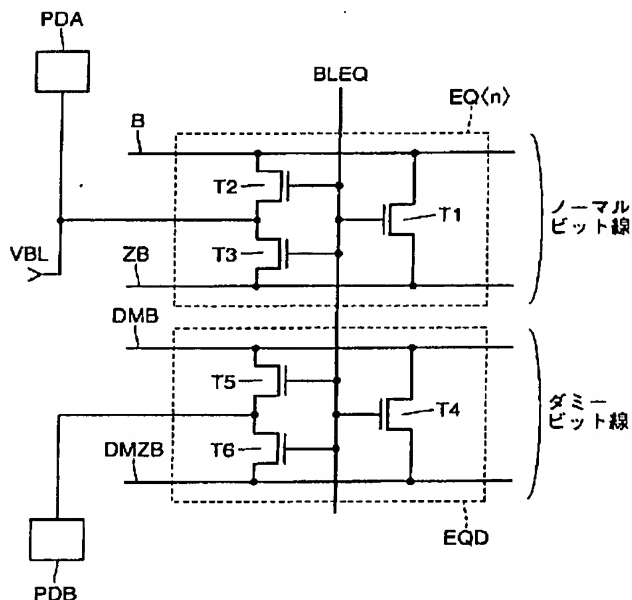
(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目2番3号
 (72) 発明者 羽倉 司
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内
 (74) 代理人 100064746
 弁理士 深見 久郎 (外4名)
 Fターム(参考) 5B024 AA15 BA05 BA07 CA21 EA01
 5F083 GA30 LA12 ZA20 ZA28 ZA29
 5L106 AA01 DD12 DD36 EED2 FF01
 GG01 GG06

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 ダミービット線領域の不良をウェハテスト時に効果的に検出することができる半導体記憶装置を提供する。

【解決手段】 ウェハテスト時にノーマルビット線に電位を印加するパッドとダミービット線に電位を印加するパッドとを設けることにより、ノーマルビット線より高い電位をダミービット線に印加することができる。これにより効果的にダミービット線領域の不良を検出することができる。



【特許請求の範囲】

【請求項 1】 行列状に配列された複数のメモリセルを含むメモリアレイと、

前記メモリセルの列に対応して設けられる複数の正規のビット線対と、

前記複数の正規のビット線対を間に挟むように平行に設けられる第 1、第 2 のダミービット線と、

前記複数の正規のビット線対に電位を与えるための第 1 のテスト用パッドと、

前記第 1、第 2 のダミービット線に前記第 1 のテスト用パッドと独立して電位を与えるための第 2 のテスト用パッドとを備える、半導体記憶装置。

【請求項 2】 前記複数の正規のビット線対のうち、前記第 1 のダミービット線に隣接する第 1 の正規のビット線対は、

第 1 の正規のビット線と、

第 1 の正規の相補ビット線とを含み、

前記第 1 の正規のビット線および前記第 1 の正規の相補ビット線に前記第 1 のテスト用パッドに与えられた電位を伝達する第 1 のイコライズ回路と、

前記第 1 のダミービット線と対をなして設けられる第 1 の相補ダミービット線と、

前記第 1 のダミービット線および前記第 1 の相補ダミービット線に前記第 2 のテスト用パッドに与えられた電位を伝達する第 2 のイコライズ回路とをさらに備える、請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記第 1 のイコライズ回路は、

前記第 1 のビット線と前記第 1 の相補ビット線との間に設けられ、ゲートにイコライズ信号を受ける、第 1 の電界効果型トランジスタと、

前記第 1 のビット線と前記第 1 のテスト用パッドとの間に設けられ、ゲートに前記イコライズ信号を受ける、第 2 の電界効果型トランジスタと、

前記第 1 の相補ビット線と前記第 1 のテスト用パッドとの間に設けられ、ゲートに前記イコライズ信号を受ける、第 3 の電界効果型トランジスタとを含み、

前記第 2 のイコライズ回路は、

前記第 1 のダミービット線と前記第 1 の相補ダミービット線との間に設けられ、ゲートに前記イコライズ信号を受ける、第 4 の電界効果型トランジスタと、

前記第 1 のダミービット線と前記第 2 のテスト用パッドとの間に設けられ、ゲートに前記イコライズ信号を受ける、第 5 の電界効果型トランジスタと、

前記第 1 の相補ダミービット線と前記第 2 のテスト用パッドとの間に設けられ、ゲートに前記イコライズ信号を受ける、第 6 の電界効果型トランジスタとを含む、請求項 2 に記載の半導体記憶装置。

【請求項 4】 外部電源電位から中間電位を発生する電位発生回路をさらに備え、

前記第 1、第 2 のテスト用パッドは、バーンインテスト

時には、外部からそれぞれ異なる電位が与えられ、通常動作時には開放状態とされ、

前記第 1 のイコライズ回路は、前記通常動作時には前記中間電位を前記第 1 の正規のビット線および前記第 1 の正規の相補ビット線に伝達する、請求項 2 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、より特定的には、ウェハテスト時の不良検出の効率化可能な回路を搭載する半導体記憶装置に関する。

【0002】

【従来の技術】一般に、デバイスの故障が発生する期間は 3 つの期間に大別される。この期間は、時間の経過順に初期故障期間、偶発故障期間、摩耗故障期間である。

【0003】初期故障期間は、デバイス作製時の欠陥が故障として現われたもので、使用開始後間もなく発生する初期故障が出現する期間である。この初期故障の割合は時間とともに急速に減少していく。

【0004】その後は、低い故障率がある一定期間長く続く偶発故障期間となる。やがて、デバイスは耐用寿命に近づき、急激に故障率が増大する摩耗故障期間になる。

【0005】デバイスは、偶発故障期間内で使用することが望ましく、この領域が耐用期間となる。したがって、デバイスの信頼性を高めるためには、故障率が低く一定した偶発故障期間が長く続くことが要求される。

【0006】一方、初期故障を予め除去するために、デバイスに一定時間の加速動作エージングを行ない不良品を除去するスクリーニングを行なう必要がある。このスクリーニングを短時間で効果的に行なうためには、初期故障が短時間で出現するスクリーニング試験を行なうことが望ましい。

【0007】現在、このスクリーニング手法の 1 つとして一般に高温動作試験（バーンイン試験）を行なっている。バーンイン試験は、実デバイスを用いて誘電体膜を直接評価できる手法であり、アルミ配線のマイグレーションを初め、あらゆる不良要因を高温かつ高電界のストレスを印加することにより顕在化させる試験である。近年、このようなバーンイン試験は、半導体記憶装置がパッケージングされる前の、ウェハ状態で行なわれ、多数のチップが一括して試験されるようになってきている。

【0008】ところで、半導体記憶装置は、多数のメモリセルが行列状に配置されるメモリアレイを含んでいるが、このメモリアレイの端部は、金属配線層などのパターンの連続性が崩れるため、メモリアレイの中央部に配置されているビット線よりも端部に配置されているビット線の方が不良が発生しやすい。

【0009】その理由は、たとえばパターンの密度によりエッチングレートが異なるため、パターンが密集して

いるメモリアレイとその他の領域との境界部分は設計寸法よりも太く仕上がってしまう場合がある等のためである。このような場合に半導体記憶装置の歩留りを低下させないために、メモリアレイの端部には、ノーマルビット線の代わりに読出書込動作には使用されないダミービット線が配置されている。

【0010】しかし、ダミービット線は、使用されないとはいえ通常よりも太く仕上がると、隣接するノーマルビット線とショートしてしまうという不具合が発生する。ショートの程度が微妙な場合には、先に説明したバーンイン試験によって不良を顕在化させ取除く必要がある。

【0011】このような不良を検出するために、ウェハテスト時において、通常使用時よりも高い電圧を外部から直接ダミービット線に印加し、高電界のストレスをダミービット線とノーマルビット線との間に印加することにより不良を顕在化させて検出するという試験が行なわれている。

【0012】図6は、従来の半導体装置において、バーンイン試験時に高電圧をビット線に印加する説明をするための図である。

【0013】図6を参照して、メモリアレイに含まれるノーマルビット線B、ZBに対応してイコライズ回路EQ<n>が設けられ、ノーマルビット線に隣接するダミービット線DMB、DMZBに対応してイコライズ回路EQDが設けられている。イコライズ回路EQ<n>は、ビット線Bとビット線ZBとの間に接続されゲートにイコライズ信号BLEQを受けるNチャネルMOSトランジスタT1と、ビット線Bとビット線ZBとの間に直列に接続されとともにゲートにイコライズ信号BLEQを受けるNチャネルMOSトランジスタT2、T3を含む。

【0014】NチャネルMOSトランジスタT2、T3の接続ノードはパッドPDに接続されている。

【0015】イコライズ回路EQDは、ダミービット線DMBとダミービット線DMZBとの間に接続されゲートにイコライズ信号BLEQを受けるNチャネルMOSトランジスタT4と、ダミービット線DMBとダミービット線DMZBとの間に直列に接続されとともにゲートにイコライズ信号BLEQを受けるNチャネルMOSトランジスタT5、T6を含む。

【0016】NチャネルMOSトランジスタT5、T6の接続ノードは、パッドPDに接続されている。

【0017】通常の動作においては、パッドPDは開放状態にされ、半導体装置が備えているVBL発生回路の出力電位である中間電位VBLが、パッドPDが接続されているノードに与えられている。

【0018】そして、イコライズ信号BLEQが活性化されると、ビット線B、ZBおよびダミービット線DMB、DMZBは電位がVBLに設定される。そして、イ

コライズ信号BLEQが非活性化された後にメモリセルからノーマルビット線にデータが読出され、ビット線Bとビット線ZBとの間に生じる電位差をセンスアンプで増幅した後に内部に読出すのである。

【0019】一方、ウェハテスト時に行なわれるバーンイン試験においては、パッドPDに試験用プローブが接続され、そのプローブを介してパッドに高電圧が印加される。そして、バーンイン試験時においては、イコライズ信号BLEQはH（ハイ）レベルに設定され、NチャネルMOSトランジスタT1～T6はすべて導通状態にされ、ビット線B、ZBおよびダミービット線DMB、DMZBには高電圧が与えられる。

【0020】

【発明が解決しようとする課題】しかしながら、従来の図6に示した回路構成では、ウェハテスト時において、ノーマルビット線とダミービット線には同一の電位しか印加できない。

【0021】ダミービット線には、先に説明したように、ノーマルビット線よりも不良が発生しやすいため、ダミービット線に発生する初期不良の検出効率を上げるために、ダミービット線には、より高電圧を印加し、より高いストレスを与えることが望ましい。

【0022】すなわち、ダミービット線は、実際に読出や書込に使用されるビット線ではないため、ノーマルビット線よりも高い電圧をバーンイン試験時に印加してもかまわない。しかしながら、図6の回路構成では、ノーマルビット線にも高い電圧が印加されてしまい、ダミービット線に印加する電圧を上げるのには限界があった。

【0023】また、ダミービット線とノーマルビット線との間に生じる故障の検出効率を上げるには、ノーマルビット線とダミービット線とを異なる電位にする方が望ましい。

【0024】この発明の目的は、ダミービット線に生じる故障を効率よく検出できる半導体記憶装置を提供することである。

【0025】

【課題を解決するための手段】請求項1に記載の半導体記憶装置は、行列状に配列された複数のメモリセルを含むメモリアレイと、メモリセルの列に対応して設けられる複数の正規のビット線対と、複数の正規のビット線対を間に挟むように平行に設けられる第1、第2のダミービット線と、複数の正規のビット線対に電位を与えるための第1のテスト用パッドと、第1、第2のダミービット線に第1のテスト用パッドと独立して電位を与えるための第2のテスト用パッドとを備える。

【0026】請求項2に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置の構成に加えて、複数の正規のビット線対のうち、第1のダミービット線に隣接する第1の正規のビット線対は、第1の正規のビット線と、第1の正規の相補ビット線とを含み、第1の正規の

ビット線および第1の正規の相補ビット線に第1のテスト用パッドに与えられた電位を伝達する第1のイコライズ回路と、第1のダミービット線と対をなして設けられる第1の相補ダミービット線と、第1のダミービット線および第1の相補ダミービット線に第2のテスト用パッドに与えられた電位を伝達する第2のイコライズ回路とをさらに備える。

【0027】請求項3に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の構成に加えて、第1のイコライズ回路は、第1のビット線と第1の相補ビット線との間に設けられ、ゲートにイコライズ信号を受ける、第1の電界効果型トランジスタと、第1のビット線と第1のテスト用パッドとの間に設けられ、ゲートにイコライズ信号を受ける、第2の電界効果型トランジスタと、第1の相補ビット線と第1のテスト用パッドとの間に設けられ、ゲートにイコライズ信号を受ける、第3の電界効果型トランジスタとを含み、第2のイコライズ回路は、第1のダミービット線と第1の相補ダミービット線との間に設けられ、ゲートにイコライズ信号を受ける、第4の電界効果型トランジスタと、第1のダミービット線と第2のテスト用パッドとの間に設けられ、ゲートにイコライズ信号を受ける、第5の電界効果型トランジスタと、第1の相補ダミービット線と第2のテスト用パッドとの間に設けられ、ゲートにイコライズ信号を受ける、第6の電界効果型トランジスタとを含む。

【0028】請求項4に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の構成に加えて、外部電源電位から中間電位を発生する電位発生回路をさらに備え、第1、第2のテスト用パッドは、バーンインテスト時には、外部からそれぞれ異なる電位が与えられ、通常動作時には開放状態とされ、第1のイコライズ回路は、通常動作時には中間電位を第1の正規のビット線および第1の正規の相補ビット線に伝達する。

【0029】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0030】図1は、本発明の実施の形態である半導体記憶装置1の概略的な構成を示すブロック図である。

【0031】図1を参照して、半導体記憶装置1は、制御信号Ext./RAS、Ext./CAS、Ext./WEをそれぞれ受ける制御信号入力端子2~6と、アドレス入力端子群8と、データ信号を入出力する入出力端子群13と、接地電位Vssが与えられる接地端子12と、電源電位Ext. Vccが与えられる電源端子10とを備える。

【0032】半導体記憶装置1は、さらに、クロック発生回路22と、行および列アドレスバッファ24と、行デコーダ26と、列デコーダ28と、メモリマット31と、ゲート回路18と、データ入力バッファ20および

データ出力バッファ34とを備える。

【0033】メモリマット31は、行列状にメモリセルが配列されるメモリセルアレイ32と、メモリセルアレイに対してデータの入出力を行なうためのセンスアンプ+入出力制御回路30とを含む。

【0034】クロック発生回路22は、制御信号入力端子2、4を介して外部から与えられる外部行アドレスストロブ信号Ext./RASと外部列アドレスストロブ信号Ext./CASとに基づいた所定の動作モードに相当する制御クロックを発生し、半導体記憶装置全体の動作を制御する。

【0035】行および列アドレスバッファ24は、外部から与えられるアドレス信号A0~A12に基づいて生成したアドレス信号を行デコーダ26および列デコーダ28に与える。

【0036】行デコーダ26と列デコーダ28とによって指定されたメモリセルアレイ32中のメモリセルは、センスアンプ+入出力制御回路30とデータ入力バッファ20またはデータ出力バッファ34を介して入出力端子群13を通じて外部とデータをやり取りする。

【0037】半導体記憶装置1は、外部電源電位Ext. Vccおよび接地電位Vssを受けて中間電位VBLを発生するVBL発生回路36をさらに含む。

【0038】図2は、図1におけるメモリマット31の構成を示す回路図である。メモリマット31は、図1で示したメモリセルアレイ32と、センスアンプ+入出力制御回路30とを含む。図2を参照して、中央にメモリセルアレイ32が配置され、その両脇にセンスアンプ+入出力制御回路30が分割されて配置されている。

【0039】メモリセルアレイ32は、行列状に配置される正規のメモリセルMCと、正規のメモリセルMCの配置される領域の周辺を取り囲むように設けられているダミーメモリセルDMCとを含む。正規のメモリセルの第1列目を選択するために、ワード線WL<0>が設けられる。同様に、第n列の正規のメモリセルを選択するためにワード線WL<n-1>が設けられる。ただし、nは1~F+1で表わされる16進数である。

【0040】センスアンプ+入出力制御回路30は、センスアンプSA<0>~SA<3>と、イコライズ回路EQ<0>~EQ<3>と、ゲート回路G<0>~G<3>とを含む。

【0041】ゲート回路G<0>は、コラム選択線CSL<0>にゲートが接続されローカルI/O線対LIO<0>をセンスアンプSA<0>に接続するための2つのNチャネルMOSトランジスタを含んでいる。

【0042】ノーマルビット線B、ZBが正規のメモリセルMCの列に対応して設けられており、ノーマルビット線B、ZBが設けられている領域の端部には、ダミーメモリセルDMCに対応して設けられているダミービット線DMB、DMZBが配置されている。そして、ダミ

ービット線DMB, DMZ Bに対応してイコライズ回路EQDが設けられている。

【0043】図2において、正規のメモリセルMCの内部に記されている3つの数字の第1番目は、対応するワード線の番号を示し、第2番目は、対応するコラム選択線CSLの番号を示し、第3番目は、対応するセンスアンプSAの番号を示している。

【0044】また、ビット線は、コンタクトホールC1、C2を介してメモリセルに接続されている。

【0045】図3は、図2におけるメモリセルMCの構成を概略的に示す回路図である。図3を参照して、メモリセルMCは、情報を記憶するためのメモリキャパシタMQと、ワード線WLの信号電位にตอบสนองして、メモリキャパシタMQのストレージノードSNをビット線B（またはZB）へ接続するNチャネルMOSトランジスタで構成されるアクセストランジスタMTとを含む。メモリキャパシタMQのセルプレートノードCPには、一定のセルプレート電位VCPが与えられる。

【0046】図4は、図2におけるイコライズ回路EQ<n>およびセンスアンプSA<n>の構成を示す回路図である。

【0047】図4を参照して、イコライズ回路EQ<n>は、イコライズ信号BLEQにตอบสนองして導通し、ビット線Bとビット線ZBとを電気的に接続するNチャネルMOSトランジスタT1と、イコライズ信号BLEQにตอบสนองして導通し、所定の間電位VBLをビット線Bおよびビット線ZBにそれぞれ伝達するNチャネルMOSトランジスタT2、T3とを含む。

【0048】イコライズ回路EQ<n>は、図2に示すイコライズ回路EQ<0>、EQ<1>、EQ<2>、EQ<3>に対応する。

【0049】センスアンプSA<n>は、ゲートおよびドレインが交差結合されるPチャネルMOSトランジスタPQ1、PQ2と、ゲートおよびドレインが交差結合されるNチャネルMOSトランジスタNQ1、NQ2と、センスアンプ活性化信号/SOPにตอบสนองして導通し、PチャネルMOSトランジスタPQ1およびPQ2のソースへ電源電位Vccを結合するPチャネルMOSトランジスタPQ3と、センスアンプ活性化信号SONにตอบสนองして導通し、NチャネルMOSトランジスタNQ1およびNQ2のソースへ接地電位GNDを伝達するNチャネルMOSトランジスタNQ3を含む。PチャネルMOSトランジスタPQ1およびNチャネルMOSトランジスタNQ1のドレインはビット線Bに接続され、PチャネルMOSトランジスタPQ2およびNチャネルMOSトランジスタNQ2のドレインはビット線ZBに接続される。

【0050】センスアンプ活性化信号SON、/SOPおよびイコライズ信号BLEQは、図1のクロック発生回路22において、Ext./RASおよびExt./

CASに応じて発生される。

【0051】図5は、本発明のイコライズ回路EQ<n>およびEQDに電圧を与える構成を示す回路図である。

【0052】図5を参照して、メモリアレイに含まれるノーマルビット線B、ZBに対応してイコライズ回路EQ<n>が設けられ、ノーマルビット線に隣接するダミービット線DMB, DMZ Bに対応してイコライズ回路EQDが設けられている。イコライズ回路EQ<n>は、ビット線Bとビット線ZBとの間に接続されゲートにイコライズ信号BLEQを受けるNチャネルMOSトランジスタT1と、ビット線Bとビット線ZBとの間に直列に接続されともにゲートにイコライズ信号BLEQを受けるNチャネルMOSトランジスタT2、T3とを含む。

【0053】NチャネルMOSトランジスタT2、T3の接続ノードはパッドPDに接続されている。

【0054】イコライズ回路EQDは、ダミービット線DMBとダミービット線DMZ Bとの間に接続されゲートにイコライズ信号BLEQを受けるNチャネルMOSトランジスタT4と、ダミービット線DMBとダミービット線DMZ Bとの間に直列に接続されともにゲートにイコライズ信号BLEQを受けるNチャネルMOSトランジスタT5、T6とを含む。

【0055】NチャネルMOSトランジスタT5、T6の接続ノードは、パッドPDBに接続されている。

【0056】通常の動作においては、パッドPDA、PDBは開放状態にされ、半導体装置が備えているVBL発生回路の出力電位である中間電位VBLが、パッドPDAが接続されているノードに与えられている。

【0057】そして、イコライズ信号BLEQが活性化されると、ビット線B、ZBは電位がVBLに設定される。そして、イコライズ信号BLEQが非活性化された後にメモリセルからノーマルビット線にデータが読出され、ビット線Bとビット線ZBとの間に生じる電位差をセンスアンプで増幅した後に内部に読出すのである。ダミービット線DMB, DMZ Bは、通常動作においては特に電位を与える必要はない。

【0058】もちろん、バーンイン試験時のみに動作する専用のイコライズ回路を通常動作時にビット線を中間電位VBLに設定するイコライズ回路とは別に設けてもかまわない。しかし、VBL発生回路の駆動能力はさほど大きくないので、バーンイン試験時にパッドから強制的に駆動しても、問題はない。したがって、これらは、共用したほうがメモリマットを小さくすることができる。

【0059】一方、ウェハテスト時に行なわれるバーンイン試験においては、パッドPDA、PDBにそれぞれ試験用プローブが接続され、そのプローブを介してパッドに高電圧が印加される。そして、バーンイン試験時に

においては、イコライズ信号BLEQはH（ハイ）レベルに設定され、NチャネルMOSトランジスタT1～T6はすべて導通状態にされ、ビット線B、ZBおよびダミービット線DMB、DMZBには高電圧が与えられる。

【0060】つまり、本発明では、NチャネルMOSトランジスタT2、T3の接続ノードに電位を与えるためのパッドPDAと、NチャネルMOSトランジスタT5、T6の接続ノードに電位を与えるためのパッドPDBとを別々に設けている。

【0061】したがって、ノーマルビット線B、ZBには、ウェハテスト時には、パッドPDAから電位が与えられる。

【0062】一方、ダミービット線DMB、DMZBには、パッドPDBからノーマルビット線とは異なる電位を印加することができる。

【0063】以上の構成によれば、ウェハテスト時に、ダミービット線とノーマルビット線に別々の電位を印加できる。ダミービット線には、センスアンプ等の回路が接続されておらず、ノーマルビット線よりもさらに高い電位を与えることができる。したがって、より高電界のストレスを印加することができ、不良箇所をいっそう顕在化させることができる。そして、ダミービット線領域の不良を効率よく検出することができる。

【0064】さらに、ノーマルビット線とダミービット線とを異なる電位に設定できるので、ノーマルビット線とダミービット線との間に生じる短絡故障をバーンイン試験により顕在化させることも可能となる。

【0065】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0066】

【発明の効果】請求項1～3に記載の半導体記憶装置は、ウェハテスト時に、ダミービット線とノーマルビット線に別々の電位を印加できる。ダミービット線には、センスアンプ等の回路が接続されておらず、ノーマルビット線よりもさらに高い電位を与えることができる。したがって、より高電界のストレスを印加することができ、不良箇所をいっそう顕在化させることができる。また、ノーマルビット線とダミービット線とを異なる電位に設定できるので、ノーマルビット線とダミービット線

との間に生じる短絡故障をバーンイン試験により顕在化させることも可能となる。

【0067】請求項4に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の奏する効果に加えて、バーンイン試験時に動作するイコライズ回路と、通常動作時にビット線を中間電位VBLに設定するイコライズ回路とを共用するので、メモリマットを小さくすることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態である半導体記憶装置1の概略的な構成を示すブロック図である。

【図2】 図1におけるメモリマット31の構成を示す回路図である。

【図3】 図2におけるメモリセルMCの構成を概略的に示す回路図である。

【図4】 図2におけるイコライズ回路EQ<n>およびセンスアンプSA<n>の構成を示す回路図である。

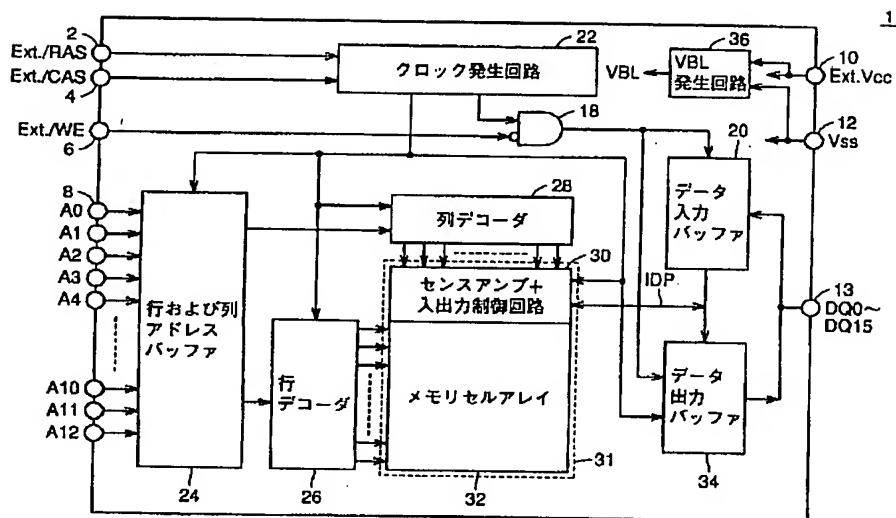
【図5】 本発明のイコライズ回路EQ<n>およびEQDに電圧を与える構成を示す回路図である。

【図6】 従来の半導体装置において、バーンイン試験時に高電圧をビット線に印加する説明をするための図である。

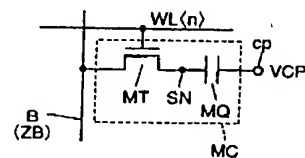
【符号の説明】

1 半導体記憶装置、2 制御信号入力端子、8 アドレス入力端子群、10 電源端子、12 接地端子、13 入出力端子群、18 ゲート回路、20 データ入力バッファ、22 クロック発生回路、24 列アドレスバッファ、26 行デコーダ、28 列デコーダ、30 入出力制御回路、31 メモリマット、32 メモリセルアレイ、34 データ出力バッファ、36 VBL発生回路、B、ZB ビット線、C1 コンタクトホール、CP セルプレートノード、CSL コラム選択線、DMB、DMZB ダミービット線、DMC ダミーメモリセル、EQ、EQD イコライズ回路、G<0>～G<3> ゲート回路、LIOPL ローカルIO線対、MC メモリセル、MQ メモリキャパシタ、MT アクセストランジスタ、NQ1、NQ2、NQ3 NチャネルMOSトランジスタ、PD、PDA、PDB パッド、PQ1、PQ2、PQ3 PチャネルMOSトランジスタ、SA<0>～SA<3> センスアンプ、SN ストレージノード、T1～T6 トランジスタ、WL ワード線。

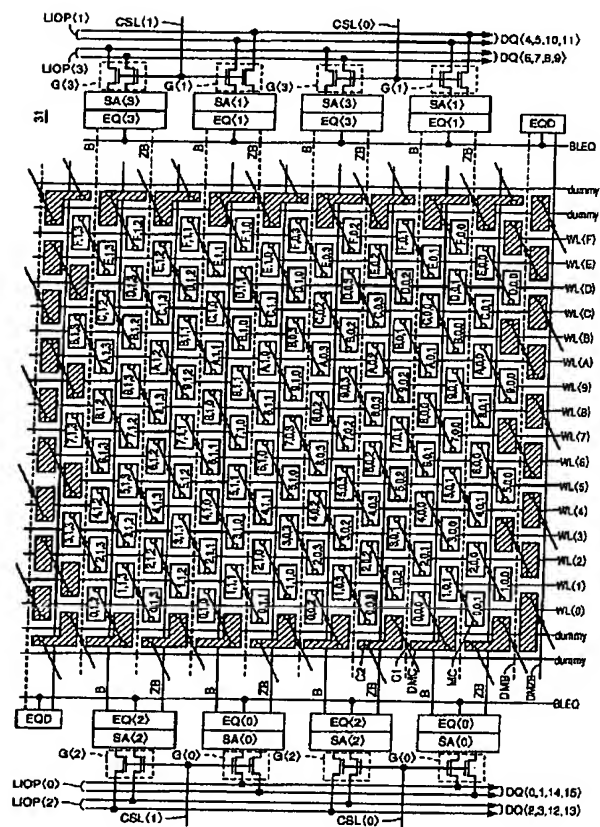
【図1】



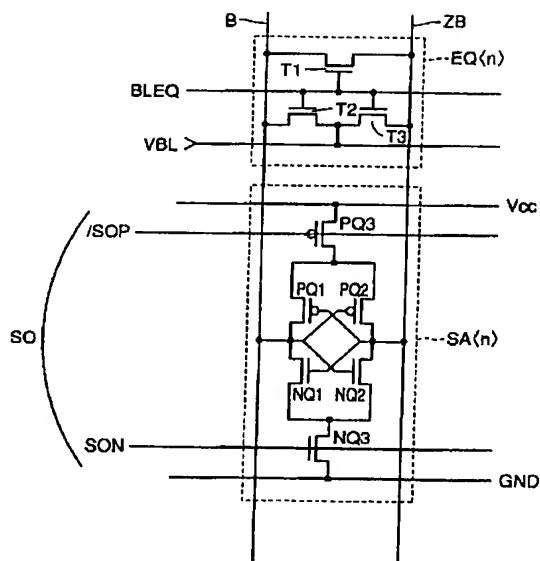
【図3】



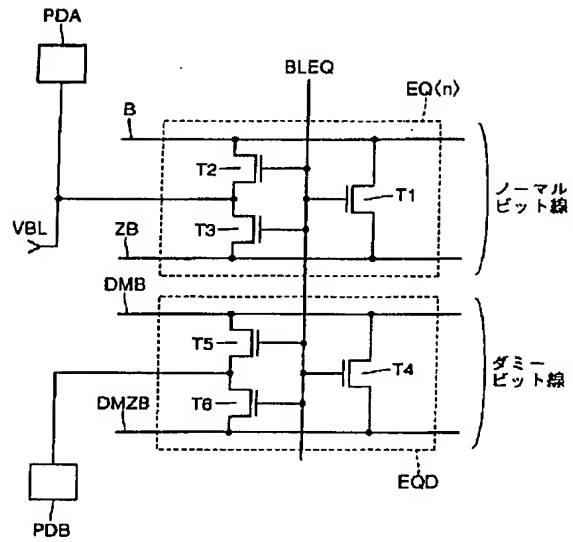
【図2】



【図4】



【図 5】



【図 6】

